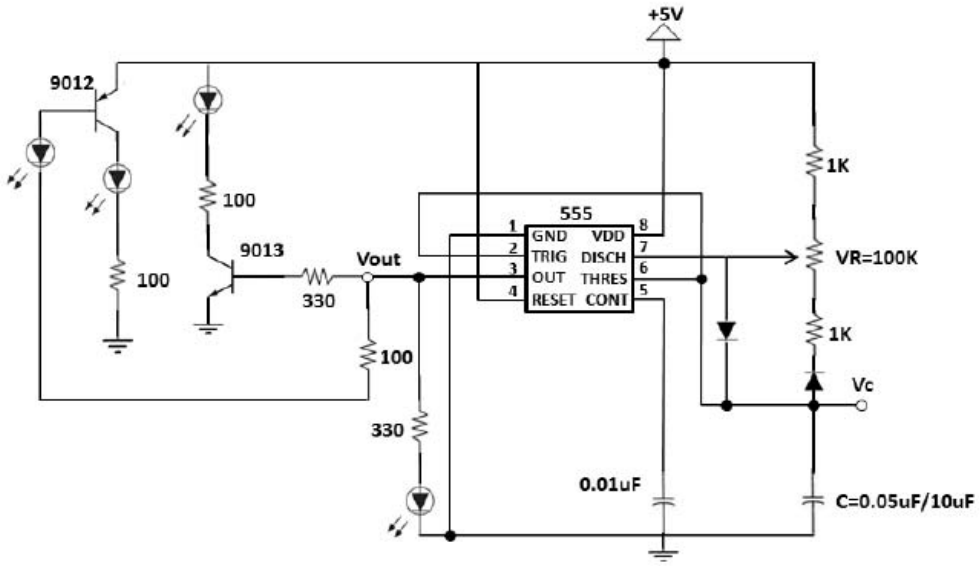
國立高雄科技大學(建工校區)

電子工程系

四技甄選入學術科實作參考題型

請完成下圖所示不穩態多諧震盪電路(Astable Multivibrator)。



1. 請以示波器觀察 Vout 電壓波形，觀察並描述其波形型式以及改變 VR 值對波形的影響。

2. 觀察並描述改變 VR 值對發光二極體(LED)發光亮度的影響。

3. 調整 VR 值使 Vout 工作週期(Duty Cycle)為 75%，以示波器觀察並記錄此時 Vout 及 Vc 波形。

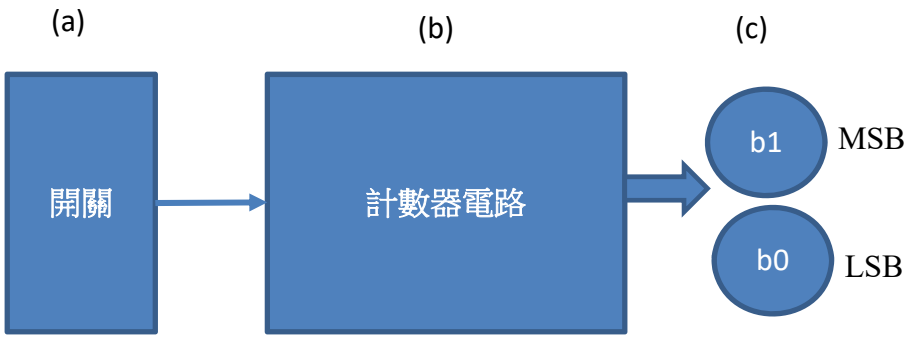
4. 電容器 C 改用 10uF，觀察並描述改變 C 值對波形的影響。觀察並描述此時改變 VR 值對發光二極體(LED)閃爍模式的影響。

5. 考試結束時，維持題目 4 組態並供電，由監試人員驗收並拍照。

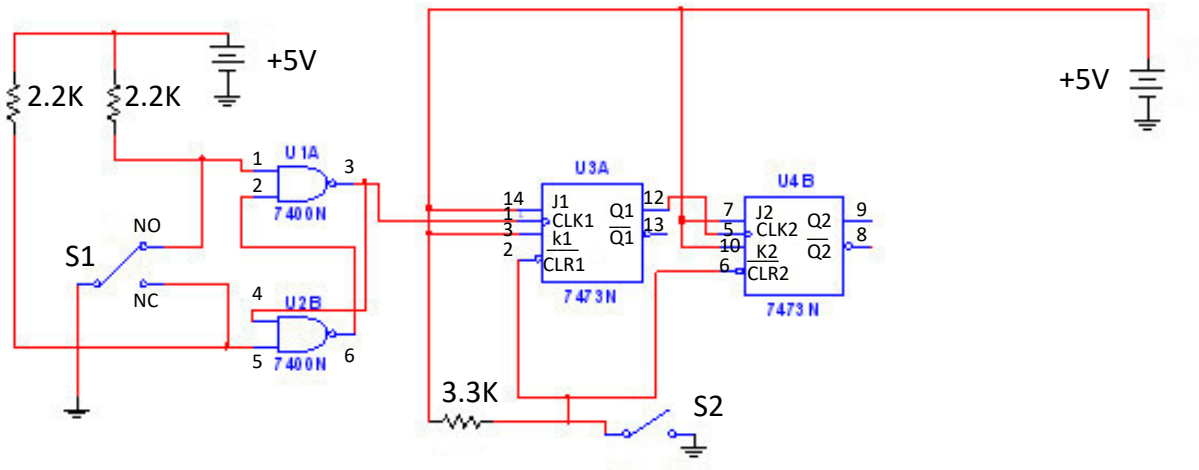
一、試設計一 2-bits (MSB b1, LSB b0)非同步 J-K 漣波計數器，並接上 LED 燈顯示各 bit 狀態。

1. 電路方塊圖如圖一所示:
   (a) 開關(按鍵) (b) J-K 計數器(含手動歸零清除電路) (c) 2 個 LED。

2. 尚未接上 LED 的**參考電路圖**如圖二所示，請自行修改與設計電路接上 LED (您的電路請畫在試卷上)，完成以下功能要求:
   (a) 一開始請手動開關 S2 清除 J-K 正反器歸零(兩個 LED 全滅)
   (b) S1 按第一次, b0 LED 點亮.
   (c) S1 按第二次, b1 LED 點亮, b0 LED 滅.
   (d) S1 按第三次，所有 LED 全點亮.
   (e) S1 按第四次，回到狀態 (a)，兩個 LED 全滅.



(圖一) 電路方塊圖



(圖二) 參考電路圖

3. 材料表與 IC 資料如附件，為偵錯方便,規定 VCC 請接紅色單心線，®GND 請接綠色單心線，其餘接線請用其他顏色。

4. 考試結束時，請維持供電，等待監試人員拍照存證, 並依照 2.功能要求操作以驗證電路功能。

問題:

1. 圖(一) Part (a) IC 7400 所組成的電路有何作用?
2. 畫出完成功能要求(接上兩顆 LED)的完整電路。

附錄:

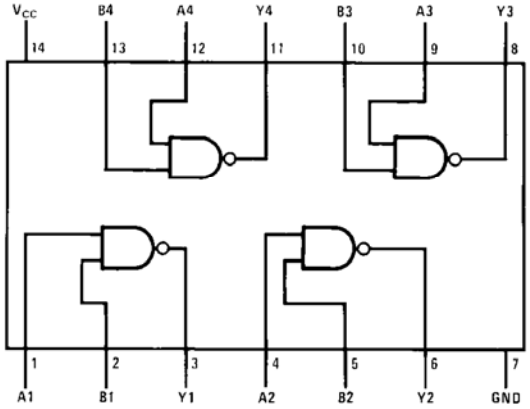
1. 材料表:

品名	規格	數量
IC	74LS00N	1
IC	74LS73A	1
開關 S1	小型 3P 兩段滑式開關 (NC, NO 接點請自行用三用電表找出)	1
開關 S2	按鈕開關 (接點請自行用三用電表找出)	1
電阻	220Ω	2
電阻	2.2K	2
電阻	3.3K	1
LED	紅色	2

2. IC Data Sheet

(a) **74LS00 Quad 2-Input NAND Gate**

Connection Diagram



Function Table

$Y = \overline{AB}$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

(b) **74LS73A Dual J-K Flip-Flops with Clear**

SN5473, SN54LS73A, SN7473, SN74LS73A
DUAL J-K FLIP-FLOPS WITH CLEAR

SDLS113 – DECEMBER 1983 – REVISED MARCH 1988

- **Package Options Include Plastic "Small Outline" Packages, Flat Packages, and Plastic and Ceramic DIPs**
- **Dependable Texas Instruments Quality and Reliability**

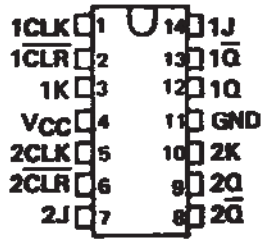
description

The '73, and 'H73, contain two independent J-K flip-flops with individual J-K, clock, and direct clear inputs. The '73, and 'H73, are positive pulse-triggered flip-flops. J-K input is loaded into the master while the clock is high and transferred to the slave on the high-to-low transition. For these devices the J and K inputs must be stable while the clock is high.

The 'LS73A contains two independent negative-edge-triggered flip-flops. The J and K inputs must be stable one setup time prior to the high-to-low clock transition for predictable operation. When the clear is low, it overrides the clock and data inputs forcing the Q output low and the $\overline{Q}$ output high.

The SN5473, SN54H73, and the SN54LS73A are characterized for operation over the full military temperature range of −55°C to 125°C. The SN7473, and the SN74LS73A are characterized for operation from 0°C to 70°C.

SN5473, SN54LS73A . . . J OR W PACKAGE
SN7473 . . . N PACKAGE
SN74LS73A . . . D OR N PACKAGE
(TOP VIEW)



'73
FUNCTION TABLE

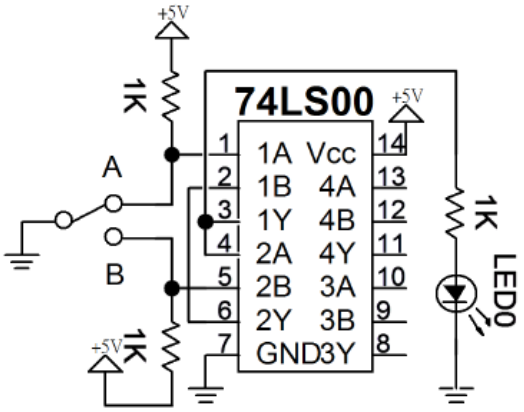
INPUTS				OUTPUTS	
$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\overline{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	

'LS73A
FUNCTION TABLE

INPUTS				OUTPUTS	
$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\overline{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	
H	H	X	X	Q_0	$\overline{Q}_0$

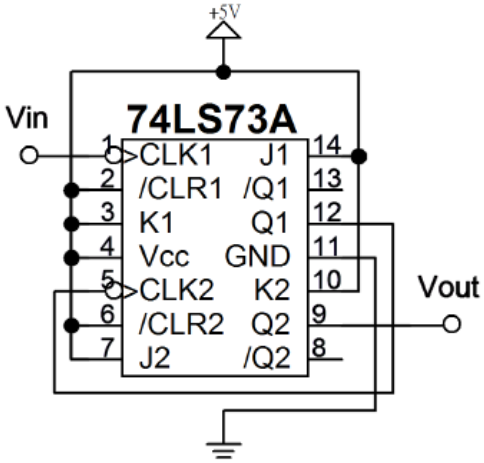
FOR CHIP CARRIER INFORMATION, CONTACT THE FACTORY

1. 請完成圖一所示電路。以一條接地線交替碰觸 A 點與 B 點，觀察並紀錄 LED0 亮、滅變化。



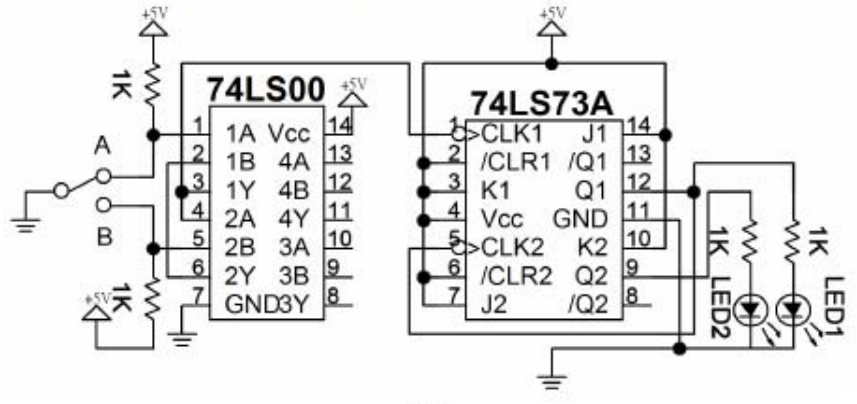
圖一

2. 請完成圖二所示電路。以信號產生器從 Vin 端輸入 500Hz, 0V-5V 方波，以示波器觀察並紀錄 Vout 端頻率及波形。



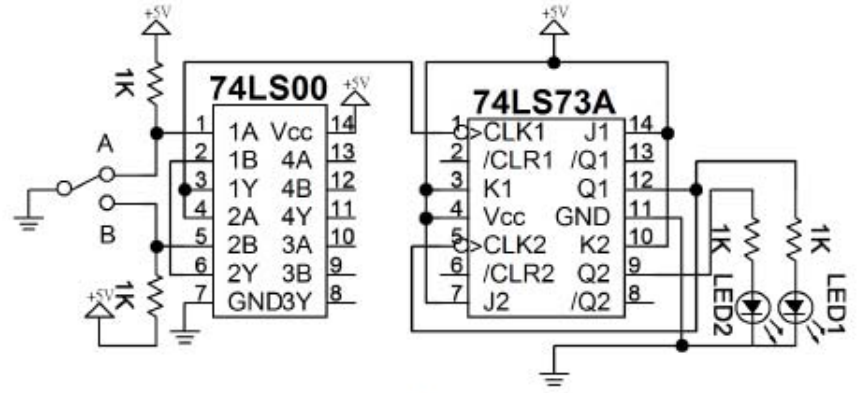
圖二

3. 請完成圖三所示電路。以一條接地線交替碰觸 A 點與 B 點，觀察並紀錄 LED1、LED2 如何重複性地亮、滅變化。



圖三

4. 請參照圖四所示電路。在答案卷電路圖上加上 4 條導線(無須實作電路)，使接地線交替碰觸 A 點與 B 點時，(LED1、LED2)依(滅、滅) →(亮、滅) →(滅、亮)順序重複變化。(提示：除 3 電路)



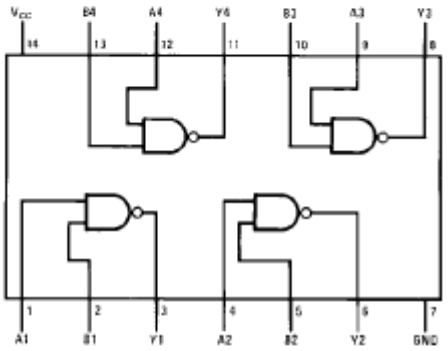
圖四

5. 考試結束時，維持題目 3 組態並供電，於監試人員驗收、拍照時依題目 3 要求操作，以驗證電路功能。

參考資料

74LS00

Connection Diagram



Function Table

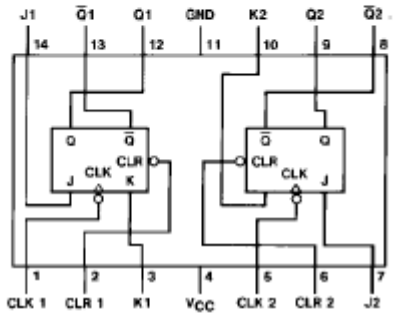
$Y = \overline{AB}$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

74LS73A

Connection Diagram



Function Table

Inputs				Outputs	
CLR	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\overline{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	Toggle	
H	H	X	X	Q_0	$\overline{Q}_0$

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level
↓ = Negative going edge of pulse.
Q_0 = The output logic level before the indicated input conditions were established.
Toggle = Each output changes to the complement of its previous level on each falling edge of the clock pulse.